***МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ***

***КІРОВОГРАДСЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ***

***Факультет комп’ютерно-технологічної інженерії***

***Кафедра програмування та захисту інформації***

***«Комп’ютерна схемотехніка»***

***Курс лекцій з дисципліни***

*Для студентів денної та заочної форми навчання за напрямом*

*Підготовки 6ю050102 «Комп’ютерна інженерія»*

|  |
| --- |
| *ЗАТВЕРДЖЕНО* |
| *На засіданні кафедри* |
| *Програмування та захисту*  *інформації* |
| *Протокол № від* |

***Кіровоград***

***2015***

*Мікропроцесорні ВІС. Конспект лекцій. Сидоренко В.В.,д-р фіз.*

*-мат. наук, професор;доц..Минайленко Р.М.;асист.Михайлов С.В.,2015*

*Мікропроцесорні ВІС:Учбовий посібник призначений для студентів спеціальностей «Комп’ютерні системи і мережі», «Системне програмування».*

*Описані архітектура простішого мікропроцесору та сімейство інтегральних програмованих мікросистем; організація різних підсистем мікропроцесорних пристроїв і МП систем. Розглянуто програмування різних операцій в системі команд процесора, приведені приклади програмування.*

*Підготовлено кафедрою програмування та захисту інформації*

*Кіровоградського національного технічного університету*

*Кіровоградський національній технічний університет, 2015*

***ЗМІСТ***

*Вступ*

**Частина І**

[***ВСТУП***](#_Toc317146304)

[***1.1 Комплект І 8080,І8086***](#_Toc317146306)

[*1.2 Поняття архітектури ЕОМ.Типова архітектура ЕОМ*](#_Toc317146307)

[*1.3 Система команд*](#_Toc317146308)

[*1.4 Логічна структура мікропроцесора*](#_Toc317146309)

[*1.5 Режими адресації*](#_Toc317146310)

[*1.6 Типи архітектур*](#_Toc317146311)

[*1.7 Пристрій керування*](#_Toc317146312)

[*1.8 Особливості програмного і мікропрограмного керування*](#_Toc317146313)

[***2 Мікропроцесор та його оточення***](#_Toc317146314)

[*2.1 Мікропроцесори*](#_Toc317146315)

[*2.2 Генератор тактових імпульсів І8224*](#_Toc317146316)

[*2.3 Буферні регістри*](#_Toc317146317)

[*2.4 Двонаправленний шинний формувач І8286/87 (КР580ВА86/87)*](#_Toc317146318)

[*2.5 Системний контролер І8228/38 (КР580ВК38)*](#_Toc317146319)

[***3 Шинна архітектура***](#_Toc317146320)

[*3.1 Головні шини*](#_Toc317146321)

[*3.2 Типи шинної архітектури*](#_Toc317146322)

[*3.3 Функціональна схема ЕОМ на базі мікропроцесора*  Ошибка! Закладка не определена.](#_Toc317146323)

[***4 Пам’ять мікропроцесорної системи***](#_Toc317146324)

[*4.1 Різноманітності пам’яті*](#_Toc317146325)

[*4.2. Класифікація запам’ятовуючих пристроїв*](#_Toc317146326)

[*4.2.1. Класифікація ЗП по функціональному призначенню*](#_Toc317146327)

[*4.2.2. Класифікація ЗП по принципу організації*](#_Toc317146328)

[*4.3 Напівпровідникові запам’ятовуючі пристрої*](#_Toc317146329)

[*4.4 Постійні запам’ятовуючі пристрої*](#_Toc317146330)

[*4.4.1. Різновиди постійних ЗП*](#_Toc317146331)

[*4.5 Оперативна пам'ять*](#_Toc317146332)

[*4.6 Підключення ЗП до шин*](#_Toc317146333)

[***5 Інтерфейс МП з пристроями вводу-виводу***](#_Toc317146334)

[*5.1 Організація вводу/виводу в мікропроцесорній системі*](#_Toc317146335)

[*5.1.2 Програмна модель зовнішнього пристрою*](#_Toc317146336)

[*5.2 Способи обміну інформацією в мікропроцесорній системі*](#_Toc317146337)

[*5.2.1 Програмно-кероване введення/виводу*](#_Toc317146338)

[*5.2.2 Інтерфейс МП при вводі/виводі одиничної інформації*](#_Toc317146339)

[*5.2.3 Переваги і недоліки ізольованого вводу/виводу*](#_Toc317146340)

[*5.2.4 Переваги і недоліки вводу/виводу, який адресується як пам’ять*](#_Toc317146341)

[*6* ***Інтерфейс МП з клавіатурою та індикацією***](#_Toc317146342)

**Частина 2**

***ВСТУП***

***1.Головні принципи будівлі систем вводу\виводу та інтерфейсів***

*1.2.Головні принципи організації передачі інформації в обчислювальних системах*

*1.3 Комп’ютерні комунікацію та інтерфейси*

*1.4 Структура систем вводу\виводу*

*1.5 Інтерфейси периферійних пристроів та схеми для будівлі інтерфейсів*

[*2 Програмованний інтегрований таймер КР580ВІ53*](#_Toc105840541)

[*2.1 Принцип роботи таймера*](#_Toc105840542)

[*2.2 Блок схема таймера*](#_Toc105840544)

[*2.3 Принцип роботи*](#_Toc105840547)

[*2.4. Програмуваннятаймера*](#_Toc105840548)

[*2.5 Читання вмісту лічильника*](#_Toc105840549)

[*3. Програмуванний адаптер послідовного інтерфейсу*](#_Toc105840541)

[*3.1 Послідовні інтерфейси*](#_Toc105840542)

[*3.2 Програмування послідовного адаптера*](#_Toc105840544)

[*4 Програмуванний контролер переривань*](#_Toc105840541)

[*4.1 Призначення і структура*](#_Toc105840542)

[*4.2 Основні функцій контролера переривань*](#_Toc105840544)

[*4.3. Блок схема програмованого контролера переривань*](#_Toc105840547)

[*4.4. Принцип роботи контролера*](#_Toc105840548)

[*4.5 Програмування контролера*](#_Toc105840549)

[*4.5.1 Команди ініціалізації*](#_Toc105840554)

[*4.5.2 Робочі команди*](#_Toc105840564)

[*5.Програмовний паралельний інтерфейс вводу-виводу К580ВВ55*](#_Toc105840541)

[*5.1 Призначення і структура*](#_Toc105840542)

[*5.2 Основні функцій*](#_Toc105840544)

[*5.3. Блок схема*](#_Toc105840547)

[*5.4. Принцип роботи*](#_Toc105840548)

[*5.5 Програмування*](#_Toc105840549)

[*6. Контролер прямого доступу до пам’яті*](#_Toc105840542)

[*6.1 Принципи роботи контролера ПДП*](#_Toc105840544)

[*6.2.Блок схема КПДП*](#_Toc105840547)

[*6.3. Опис внутрішніх регістрів КПДП*](#_Toc105840548)

[*6.4 Програмне керування контролером ПДП*](#_Toc105840549)

[*6.5. Програмна модель КПДП*](#_Toc105840554)

[*6.6. Програмування КПДП*](#_Toc105840564)

ЛІтература